

PAT-NO: JP363194342A

DOCUMENT-IDENTIFIER: JP 63194342 A

TITLE: METHOD OF PACKAGING SEMICONDUCTOR CHIP

PUBN-DATE: August 11, 1988

INVENTOR-INFORMATION:

NAME

SAITO, MINORU

ASSIGNEE-INFORMATION:

NAME COUNTRY

FUJI ELECTRIC CO LTD N/A

APPL-NO: JP62027908

APPL-DATE: February 9, 1987

INT-CL (IPC): H01L021/60

ABSTRACT:

PURPOSE: To enable solder bumps of semiconductor chips packaged on the lower surface of an insulation substrate to be fusion-bonded to conductor sections on the lower surface of the substrate in a single reflowing process in which solder bumps of chips carried on the top face of the substrate are also fusion-bonded to conductor sections on the top face of the substrate, by utilizing recesses provided in a support jig for positioning the semiconductor chips to be packaged on the lower surface of the substrate.

CONSTITUTION: A tip support jig 5 has recesses 6. Each of the recesses 8 is located at such a position that a semiconductor chip 3 received therein is supported by a support 7 at the center of the bottom of the recess while soldering bumps 4 provided on the top face of the chip are contacted with conductor sections 2 formed by printing solder paste on the the lower surface of an insulation substrate 1. Conductor sections 2 are formed also on the top face of the substrate 1 by printing solder paste simultaneously with those on

the lower face, and chips 3 are carried on the substrate such that the bumps 4 are contacted with the these upper conductor sections 2. The substrate 1 and the chips 3 arranged in this manner are introduced together with the chip holding jig 5 into a reflowing furnace and heated, whereby the bumps 4 of the chips are fusion bonded with the conductor sections 2 on the upper and lower surfaces of the substrate.

COPYRIGHT: (C)1988,JPO&Japio

PAT-NO: JP363194342A

DOCUMENT-IDENTIFIER: JP 63194342 A

TITLE: METHOD OF PACKAGING SEMICONDUCTOR CHIP

----- KWIC -----

Abstract Text - FPAR (1):

PURPOSE: To enable solder bumps of semiconductor chips packaged on the lower surface of an insulation substrate to be fusion-bonded to conductor sections on the lower surface of the substrate in a single reflowing process in which solder bumps of chips carried on the top face of the substrate are also fusion-bonded to conductor sections on the top face of the substrate, by utilizing recesses provided in a support jig for positioning the semiconductor chips to be packaged on the lower surface of the substrate.

Abstract Text - FPAR (2):

CONSTITUTION: A tip support jig 5 has recesses 6. Each of the recesses 8 is located at such a position that a semiconductor chip 3 received therein is

supported by a support 7 at the center of the bottom of the recess while soldering bumps 4 provided on the top face of the chip are contacted with conductor sections 2 formed by printing solder paste on the the lower surface of an insulation substrate 1. Conductor sections 2 are formed also on the top face of the substrate 1 by printing solder paste simultaneously with those on the lower face, and chips 3 are carried on the substrate such that the bumps 4 are contacted with the these upper conductor sections 2. The substrate 1 and the chips 3 arranged in this manner are introduced together with the chip holding jig 5 into a reflowing furnace and heated, whereby the bumps 4 of the chips are fusion bonded with the conductor sections 2 on the upper and lower surfaces of the substrate.

⑫ 公開特許公報 (A) 昭63-194342

⑤ Int. Cl.¹
H 01 L 21/60識別記号 行内整理番号
6918-5F

④ 公開 昭和63年(1988)8月11日

審査請求 未請求 発明の数 1 (全3頁)

⑤ 発明の名称 半導体チップの実装方法

⑥ 特願 昭62-27908

⑦ 出願 昭62(1987)2月9日

⑧ 発明者 斎藤 実 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑨ 出願人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑩ 代理人 弁理士 山口 嶽

明細書

1. 発明の名称 半導体チップの実装方法

2. 特許請求の範囲

1)はんだパンプを有する半導体チップを絶縁基板の両面に取り付け、パンプを基板上の導体部と接続する方法であって、絶縁基板の両面に少なくとも表面層が同一材料のはんだよりなる導体部を形成し、チップ支持治具の位置決め用凹部内に基板の一面に実装されるチップを1個ずつ収容してチップ下面中央を支持し、該チップ支持治具上に前記基板を載せて該基板の一面の導体部を支持治具内の各チップのパンプに近接ないし接触させ、次いで前記基板の他面上に他のチップを載せて基板の他面の導体部に各チップのパンプを近接ないし接触させ、かかるのちリフロー炉中において各導体部と各パンプとを融着させることを特徴とする半導体チップの実装方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、はんだパンプを有する半導体チップ

をセラミックなどの絶縁基板の両面に取り付け、パンプを基板上の導体部と接続するフリップチップ方式の半導体チップの実装方法に関する。

(従来の技術)

半導体チップのはんだパンプを絶縁基板上の少なくとも表面がはんだよりなる導体部に位置合わせし、はんだをリフローさせて融着するフリップチップ方式はよく知られている。第2図はそのような実装方法の一例を示し、セラミック基板1上にはんだペーストを印刷して導体部2を形成し、この上にチップ3をはんだパンプ4のある面を下向きにして載せ、パンプ4が導体部2に接するようとしたのち、加熱炉に入れてはんだをリフローさせて融着する。この場合、導体部2とパンプ4の位置が多少ずれていても、はんだの表面張力によって接続が行われるセルフアライメント機能がある。

高密度実装のために基板の両面にチップを実装する場合には、絶縁基板両面に融点の異なるはんだを用いて導体部を形成する。すなわち、先ず高融点のはんだのペーストを用いて基板の一面に導

体部を形成したのちチップを載せ、リフロー炉においてチップのバンプと導体部を融着させる。次に基板の他面に低融点のはんだのペーストを用いて導体部を形成し、その面を上にしてその上にチップを載せ、最初に用いたリフロー炉より温度の低いリフロー炉において他面側の導体部とチップのバンプとを融着させる。

(発明が解決しようとする問題点)

このような両面実装方法には次の問題がある。
(i) 2種類のはんだペーストおよびリフロー炉が必要である。

(ii) 工程時間が長い。

(iii) 高融点のはんだが使用される例の基板面には、耐熱性の低い他の電子部品、例えばコンデンサ、抵抗などを実装することができない。

本発明の目的は、上述の問題を解決し、低融点のはんだのみを使用して1回のリフロー工程で同時に基板の両面にチップを実装することのできる半導体チップの実装方法を提供することにある。

(問題点を解決するための手段)

温のはんだおよび高温のリフロー炉を用いる必要がない。

(実施例)

第1図は本発明の一実施例を示し、第2図と共に通の部分には同一の符号が付されている。チップ支持治具5は凹部6を有し、この凹部6は、その中に収容された半導体チップ3は四部底面中央の支持体7に支えられ、上面のはんだバンプ4が絶縁基板1の下面にはんだペーストの印刷により形成された導体部2に接触するような位置に設けられている。基板1の上面には、下面と同時にはんだペーストの印刷により形成された導体部2の上面に、バンプ4が接触するようにチップ3が載せられている。このように配置された基板1およびチップ3をチップ支持治具5と共にリフロー炉に入れて加熱することにより、各チップのバンプ4と上下両面の導体部2が融着する。支持治具5には基板1の周辺の下側に段部8が形成され、リフローの際基板1が低下し過ぎて融着部がつぶされるのを防ぐ。リフロー前にすべてのバンプ4と導体

上記の目的を達成するために、本発明の方法は、絶縁基板の両面にそれれ少なくとも表面層が同一材料のはんだよりなる導体部を形成し、チップ支持治具の位置決め用の凹部内に基板の面に実装されるチップを1個ずつ収容してチップ下面中央を支持し、チップ支持治具上に前記基板を載せてその一面の導体部を支持治具内の各チップのバンプに近接ないし接触させ、次いで基板の他面上に他のチップを載せて他面の導体部に各チップのバンプを近接ないし接触させ、かかるのちリフロー炉中において導体部とバンプとを融着せるものとする。

(作用)

絶縁基板の両面に形成された少なくとも表面が同一材料のはんだよりなる導体部には、下面では治具の位置決め用凹部内に収容されたチップ、上面には上に載せられたチップのはんだバンプがそれぞれ接触ないし近接しているので、はんだのリフローによって一回の加熱で両面においてチップのバンプと導体部とを融着させることができ、高

部2が接触していなくても、リフロー時のはんだの変形によって接触し、セルフアライン機能を伴って正常な位置での各バンプ4と導体部2の接続が行われる。下面側のチップ3はそれぞれ支持体7により中央部の1点のみで支えられているので、セルフアライン機能の働く際のチップの変位が妨げられることがない。但し、凹部6の幅はチップ3の寸法より100μm大きい程度にとどめる。

第3図は別の実施例を示し、第1図の実施例と異なる点は、支持治具5の凹部内でチップ3はピン9によって支えられていることである。支持ピン9はばね10により各チップ3を一定の圧力で上方へ押し上げる構造となっている。こうすることによって、チップ3の厚さのばらつきを吸収できる利点が得られる。

なお、絶縁基板1上の導体部は、上の実施例のようにはんだのみよりなるものでなく、他の材料よりなる導体上に予備はんだを施したものであってもよい。

(発明の効果)

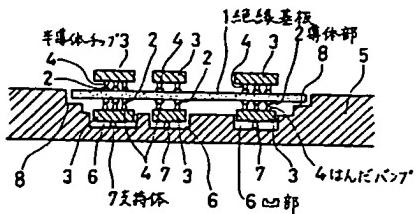
本発明によれば、絶縁基板の下面に実装する半導体チップを支持治具の凹部によって位置決めすることにより、上面に載せられたチップと共に1回のリフロー工程で各チップのはんだバンプと基板両面の導体部との融着、接続を行なうことができる。従って、はんだの融点は任意に選定できるので、リフロー温度を高温にする必要がなく、他の電子部品を損なうおそれなしに半導体チップのフリップチップ方式による両面実装が可能となる。

4. 図面の簡単な説明

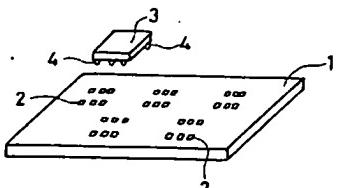
第1図は本発明の一実施例において治具にセットされた状態での断面図、第2図はフリップチップ方式の実装を示す斜視図、第3図は本発明の別の実施例において治具にセットされた状態での断面図である。

1：絶縁基板、2：導体部、3：半導体チップ、4：はんだバンプ、5：支持治具、6：凹部、7：支持体、9：ピン。

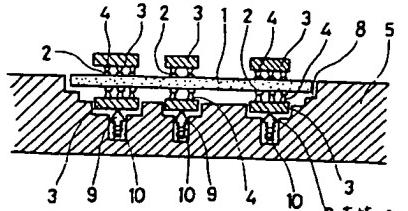
代理人名印 山口 嘉



第1図



第2図



第3図